

55KB
(703) 208-8220
3722-0175P
1122104
KANG
New
1001

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申請日：西元 2003 年 03 月 25 日
Application Date

申請案號：092106697
Application No.

申請人：瑞昱半導體股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 11 月 17 日
Issue Date

發文字號：09221161180
Serial No.

92A-00205

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	適用於低電壓晶片之內電源啟動重置電路及方法
	英文	
二、 發明人 (共1人)	姓名 (中文)	1. 康宗弘
	姓名 (英文)	1. Tzung-Hung Kang
	國籍 (中英文)	1. 中華民國
	住居所 (中文)	1. 新竹科學園區工業東九路2號
	住居所 (英文)	1. No. 2, Industry E. RD. IX, Science-Based Industrial Park, Hsinchu, Taiwan 300, ROC
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 瑞昱半導體股份有限公司
	名稱或 姓名 (英文)	1. Realtek Semiconductor Corp.
	國籍 (中英文)	1. 中華民國
	住居所 (營業所) (中文)	1. 新竹科學園區工業東九路2號 (本地址與前向貴局申請者不同)
	住居所 (營業所) (英文)	1. No. 2, Industry E. RD. IX, Science-Based Industrial Park, Hsinchu, Taiwan 300, ROC
	代表人 (中文)	1. 葉博任
	代表人 (英文)	1. Po-Len Yeh



四、中文發明摘要 (發明名稱：適用於低電壓晶片之內電源啟動重置電路及方法)

本案係揭露一種電源啟動重置電路及方法，該電路包含：一電源、一振盪器、一頻率偵測器及一重置信號輸出電路。其中，該電源提供一暫態電壓，該振盪器產生一振盪頻率，隨該暫態電壓之升高而增加，該頻率偵測器將該振盪頻率轉換為一第一輸出電壓，而該重置信號輸出電路則依據該第一輸出電壓輸出一重置訊號。

五、(一)、本案代表圖為：第 五 圖

(二)、本案代表圖之元件代表符號簡單說明：

31 環狀振盪器

32 頻率偵測器

33 比較器電路

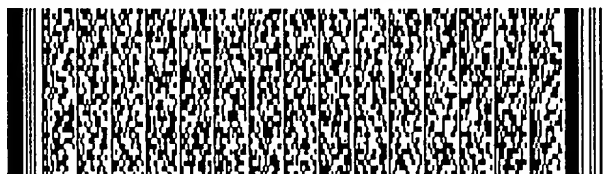
34 接地端

311 奇數個串聯之反向器

312 回饋電路

321 電流源

六、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：適用於低電壓晶片之內電源啟動重置電路及方法)

322 第一電容

323 第二電容

324 第一開關

325 第二開關

331 電阻分壓器

332 比較器

3311 第一電阻

3312 第二電阻

六、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。



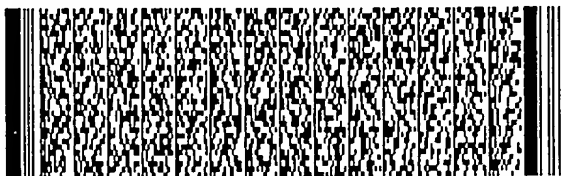
五、發明說明 (1)

發明所屬之技術領域

本發明為一種電源啟動重置電路(Power-On Reset Circuit)，尤指一種低電壓晶片之內電源啟動重置電路及方法。

先前技術

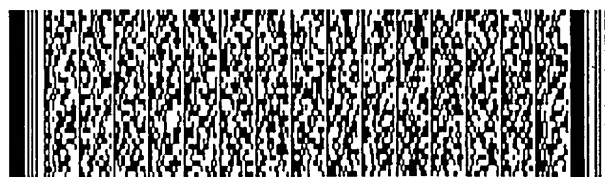
一般電源啟動重置有兩種方法，一種是利用電阻電容遲滯(RC delay)來達成，請參看第一圖電路示意圖及第二圖相關電壓時脈圖；另一種是利用主動裝置(active device)的臨界電壓來觸發，請參看第三圖電路示意圖及第四圖相關電壓時脈圖。如第一圖所示係利用電阻電容遲滯之電源啟動重置電路，包含一電阻電容分壓器11、一比較器12、一電壓源VDD、一與電壓源VDD輸出之電壓大小成固定比率之輸入電壓 αVDD 、一重置訊號Reset與一接地端13。其中，該電阻電容分壓器11進一步包含一分壓器之電阻111、一分壓器之電容112及一分壓器之輸出電壓VRC。該比較器12比較該輸入電壓 αVDD 與該分壓器之輸出電壓VRC，當一開始因電阻電容遲滯作用而使 $VRC < \alpha VDD$ 時，該比較器將會產生一高電位(high)之重置訊號Reset，直至 $VRC \geq \alpha VDD$ 時，此時該比較器產生一低電位(low)之重置訊號Reset，並結束重置。由第二圖之時脈圖可看出，當電源啟動時，電壓源VDD輸出一暫態電壓，其大小由0開始，隨時間而增加。一開始，當 $VRC < \alpha VDD$ 時，該比較器將會產生一高電位(high)之重置訊號



五、發明說明 (2)

Reset，當從 $VRC < \alpha VDD$ 轉變成為 $VRC \geq \alpha VDD$ 的瞬間，重置訊號亦由高電位轉變為低電位。如第三圖所示係為利用電阻金屬氧化物半導體分壓器之電源啟動重置電路，包含一電阻金屬氧化物半導體分壓器21、一比較器22、一電壓源VDD、一與電壓源VDD輸出之電壓成固定比率之輸入電壓 αVDD 、一重置訊號Reset與一接地端23，其中該電阻金屬氧化物半導體分壓器21進一步包含一分壓器之電阻

211、一分壓器之金屬氧化物半導體212及一分壓器之輸出電壓 V_{th} 。該比較器22用於比較該輸入電壓 αVDD 與該電阻金屬氧化物半導體分壓器之輸出電壓 V_{th} ，當分壓器之金屬氧化物半導體212之臨界電壓 $V_{th} > \alpha VDD$ 時，該比較器22會產生一高電位 (high) 之重置訊號Reset，惟當 $V_{th} \leq \alpha VDD$ ，該比較器22則產生一低電位 (low) 之重置訊號Reset，並結束重置。由第四圖之時脈圖可看出，當電源啟動時，電壓源VDD輸出一暫態電壓，其大小由0開始，隨時間而增加。一開始，當 $V_{th} > \alpha VDD$ 時，該比較器將會產生一高電位 (high) 之重置訊號Reset，當從 $V_{th} > \alpha VDD$ 轉變成為 $V_{th} \leq \alpha VDD$ 瞬間，重置訊號亦由高電位轉變為低電位。惟上述習知技術仍存在其缺點，現分述如下：利用電阻電容遲滯 (RC delay) 的方式，通常需要外掛電容才能得到夠大的遲滯(delay)時間，而利用主動裝置 (active device) 如金屬氧化物半導體的臨界電壓來觸發的方式，則臨界電壓的大小很容易地由於製程的差異 (process variation)、環境溫度變化及其他條件而改



五、發明說明 (3)

變。故訊號結束的條件並不一致，且會隨著環境條件的改變而作變化。如此，會造成重置訊號無法結束或太早結束的錯誤。在越低的工作電壓時，電壓源VDD輸出之工作電壓越小，則在電源啟動時，暫態電壓的變化就越小，因此可容忍的臨界電壓變化就越小。因此習知之電源啟動重置電路並不適合用於低工作電壓。

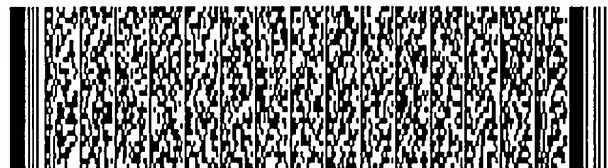
職是之故，本發明鑒於習知技術之缺失，乃思及改良發明之意念，發明出本案之『適用於低電壓晶片之內電源啟動重置電路及方法』。

發明內容

本案之主要目的在於提供一種適用於低電壓之晶片內之電源啟動重置電路，該重置電路可應用於低工作電壓下，而不致因製程的差異 (process variation) 或是溫度變化而產生電源啟動後重置動作之誤動作。

本案之另一主要目的在於提供一種適用於低電壓之晶片內之電源啟動重置電路，該電路利用環狀振盪器 (Ring Oscillator) 提供之振盪頻率隨暫態電壓升高而升高之特性，控制切換開關之導通，使電容充放電，轉換產生一第一電壓，與該暫態電壓經分壓器產生之一第二電壓進行比較，決定是否重置該電路。

根據本案之構想，提供一種電源啟動 (power on) 重置電路，包含：一電源，其中，當該電源啟動時，係用以提供一暫態電壓，該暫態電壓之量值係隨時間而升高；一



五、發明說明 (4)

振盪器，電連接於該電源，該振盪器係用以產生一振盪信號，其中，該振盪信號之振盪頻率係隨該暫態電壓而增加；一頻率偵測器，電連接於該電源與該振盪器，該頻率偵測器係用以依據該振盪信號之振盪頻率輸出相對應之一第一輸出電壓；以及一重置信號輸出電路，用以依據該第一輸出電壓輸出一重置信號。

根據本案另一之構想，提供一種電源啟動重置方法係應用一電源啟動重置電路，該電源啟動重置電路包括一振盪器、一頻率偵測器及一比較器，該方法包含下列步驟：當電源啟動時，提供一暫態電壓，其中該暫態電壓之量值係隨時間而增加；依據該暫態電壓提供相對應之一振盪信號，其中，該振盪信號之振盪頻率隨該暫態電壓之逐漸升高而隨之升高；根據該振盪信號輸出相對應之一第一輸出電壓比較該第一輸出電壓及一第二輸出電壓；以及依據該第一及第二輸出電壓之比較結果，輸出一重置訊號。

實施方式

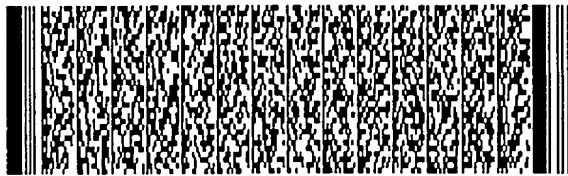
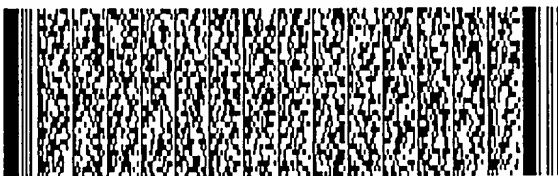
請參看第五圖，本發明之運作原理係利用一個振盪器31及頻率偵測器32配合比較器電路33來產生重置訊號Reset以重置一晶片上具低工作電壓之數位電路（未顯示）。其中，振盪器31輸出之振盪信號ck的頻率係與暫態電壓的大小有關。故本發明係藉由電源啟動時，暫態電壓VDD的量值變化，來決定振盪器31輸出之振盪信號ck的頻率，進而控制重置信號Reset的狀態。由於本發明所提出



五、發明說明 (5)

之電路其操作方式不受低工作電壓所影響，故適用於低工作電壓的情況。

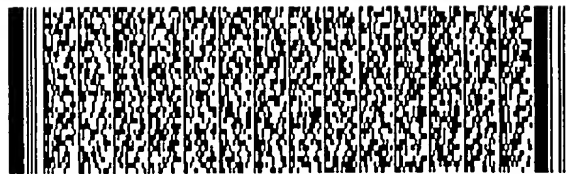
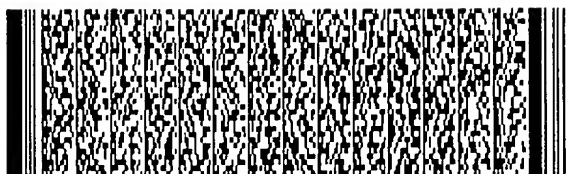
本發明之電路架構如第五圖所示，該電路包括一振盪器31、頻率偵測器32、一電壓源VDD、一比較器電路33及一接地端34。其中該振盪器31係包含一至少三個以上奇數個彼此串連之反向器311及一回饋電路312電連接於最後一個反向器之輸出端與第一個反向器之輸入端。其中，每個反相器皆分別與該電壓源VDD耦接。該振盪器31並可產生一振盪信號ck。該頻率偵測器32係電連接於一電壓源VDD並包含一電流源321、一第一電容322、一第二電容323、一第一開關324及一第二開關325。該頻率偵測器32可依據該振盪器31所產生之該振盪信號ck輸出一第一輸出電壓VFD。其中該電流源321電連接於該電壓源VDD，該第一電容322，包含一第一端電連接該電流源321之輸出端以及一第二端接地34，該第二電容323與該第一電容322共地端34，該第一開關324係電連接該第一電容322之第一端與該第二電容323之另一端，以及該第二開關325係與該第二電容323並聯連接。其中該比較器電路33包含一電阻分壓器331、一比較器332。電阻分壓器331係電連接於一電壓源VDD，並可藉該電阻分壓器331之第一電阻3311與第二電阻3312以產生一與該電壓源VDD成固定比率之第二輸出電壓 αVDD ，該比較器332係用以比較該第一輸出電壓VFD與該第二輸出電壓 αVDD ，當該第一輸出電壓VFD大於該第二輸出電壓 αVDD 時，該比較器332產生一高電位之重置訊號



五、發明說明 (6)

Reset (H) ; 當該第一輸出電壓VFD小於或等於該第二輸出電壓 αVDD 時，該比較器332產生一低電位重置訊號Reset (L) 。

此較佳實施例中，當電源啟動時，電壓源VDD會輸出暫態電壓，其大小由0開始，隨時間而增加。該振盪器31之振盪信號ck其振盪頻率會隨暫態電壓上昇而增加。且其振盪頻率亦會隨著振盪器31中串接反相器的數目而降低。故藉由控制輸入該些反相器之暫態電壓的大小，以及串接反相器之數目，即可決定振盪器31輸出之振盪信號ck之振盪頻率。在頻率偵測器32中，其第一開關324及第二開關325之切換係藉由振盪信號ck來控制。且第一開關324之狀態係與第二開關之狀態相反。即當第一開關324為ON時，第二開關325為OFF，反之，當第一開關324為OFF時，第二開關325為ON。由於振盪信號ck係依據一振盪頻率進行振盪，故第一開關324及第二開關325之ON/OFF狀態係為隨著該振盪信號ck之振盪頻率進行交替的切換，且第一開關324及第二開關325之切換狀態各不相同。在電路的實現上，相當於第一開關324係依據振盪信號ck來進行切換，而第一開關324則依據振盪信號ck之反相信號來進行切換，如第五圖所示。頻率偵測器32中具有一電流源321及兩並聯之第一/第二電容322、323。當第一開關324及第二開關325之ON/OFF狀態係為隨著該振盪信號ck之振盪頻率進行交替的切換時，則電流源321會依據第一開關324及第二開關325之ON/OFF狀態分別對第一/第二電容322、323進



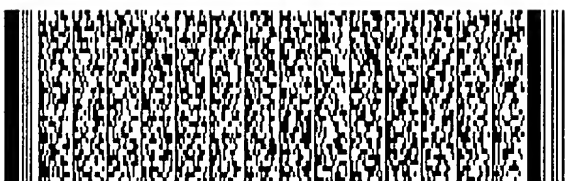
五、發明說明 (7)

行充放電。當振盪信號ck之振盪頻率較小時，第一/第二電容322、323每次充放電的時間較長，此時第一輸出電壓VFD之大小會接近暫態電壓VDD。當振盪信號ck之振盪頻率較大時，第一/第二電容322、323每次充放電的時間較短，此時第一輸出電壓VFD會小於暫態電壓VDD，且隨著振盪信號ck之振盪頻率之增加而降低。設若該頻率偵測器32中該電流源321之一電流值為I，而該第一電容322之一電容值為C1，該第二電容323之一電容值為C2，該振盪信號ck之振盪頻率為fck，則該頻率偵測器32所產生之第一輸出電壓VFD之大小為 $VFD = (I/fck) \cdot ((2 \cdot C1 + C2) / (C1 \cdot C2))$ 。

由上述公式可得知，該頻率偵測器32之第一輸出電壓VFD與振盪頻率ck之振盪頻率fCK成反比，當振盪頻率ck之值fck越高時，第一輸出電壓VFD就會越低。

比較器電路33之工作原理及操作方式係與習知技術近似，請參照前文相對應之描述，於此不再贅述。

需注意的是，在本發明中，比較器電路33亦可以一反相器來實現。反相器接收該第一輸出電壓VFD，並依據該第一輸出電壓VFD的大小來決定輸出之重置信號之位準。當電源剛啟動時，該第一輸出電壓VFD之值小於反相器預設之一臨界值，此時，反相器將該第一輸出電壓VFD視為一低位準信號，並反相輸出一高位準之重置信號Reset (H)。而隨著該第一輸出電壓VFD之值隨時間而增加，當該第一輸出電壓VFD之值大於反相器預設之一臨界值時，反



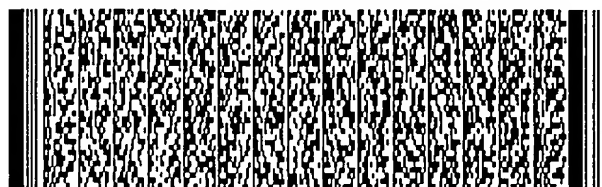
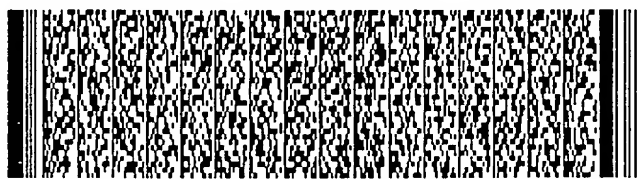
五、發明說明 (8)

相器將該第一輸出電壓VFD視為一高位準信號，並反相輸出一低位準之重置信號Reset(L)。與前述之比較器電路33相比，使用反相器的優點在於電路較簡單，不需要利用電阻分壓來產生第二輸出電壓。但缺點是無法如比較器電路33般精準地切換重置信號。

此實施例中，該電源啟動重置電路3的工作原理請參閱第六圖。由於振盪器31輸出之振盪信號ck，其振盪頻率係與暫態電壓VDD的大小有關。當暫態電壓VDD較低時，振盪器31輸出之振盪信號ck，其振盪頻率fCK也較低。由上述之第一輸出電壓VFD之公式可知，第一輸出電壓VFD會接近VDD，故第一輸出電壓VFD會大於 αVDD 。當第一輸出電壓VFD大於 αVDD 時，比較器332的輸出是一高電位

(high)之重置訊號Reset(H)，此時該晶片上需被重置之數位電路即處於重置(reset)狀態。而隨著暫態電壓VDD上昇，振盪信號ck之振盪頻率fck變高，此時，第一輸出電壓VFD便會逐漸下降。當下降到小於或等於 αVdd 時，比較器332之輸出就會變為一低電位(go low)之重置訊號Reset(L)，也就是重置(reset)結束，此時數位電路便可開始工作。實作上，以上電路中的電流源321可用電阻取代，比較器332亦可用一般反向器取代，使此電路可在較低工作電壓工作，而特性仍符合需求。

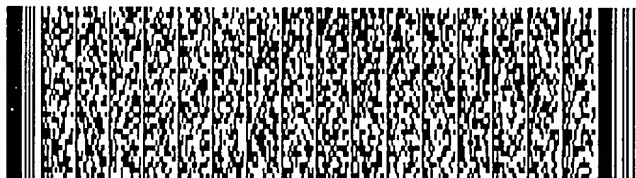
如前所述，本發明已改善有關電源啟動重置電路習知技術之諸多缺點。如以往利用電阻電容遲滯(RC delay)的方式，通常需要外掛電容才能得到夠大的遲滯(delay)



五、發明說明 (9)

時間，而利用主動裝置 (active device) 如金屬氧化物半導體的臨界電壓來觸發的方式，則很容易由於製程差異 (process variation) 及溫度變化而改變重置訊號切換的條件，造成重置訊號無法結束或太早結束的錯誤。本發明除了可以改善上述習知電路之諸多缺點，並可在低工作電壓的環境正常工作。因此，本案具有新穎性、進步性與產業利用性，因而提出本發明之專利申請。

本案得由熟習此技術之人士任施匠思而為諸般修飾，然皆不脫本案申請專利範圍所欲保護者。



圖式簡單說明

第一圖係為使用電阻電容遲滯之電源啟動重置電路示意圖；

第二圖係為使用電阻電容遲滯之電源啟動重置電路之相關電壓時脈圖；

第三圖係為使用金屬氧化物半導體臨界電壓之電源啟動重置電路示意圖；

第四圖係為使用金屬氧化物半導體臨界電壓之電源啟動重置電路之相關電壓時脈圖；

第五圖係為本案較佳實施例之一種電源啟動重置電路示意圖；以及

第六圖係為本案較佳實施例之一種電源啟動重置電路之相關電壓時脈圖。

元件符號說明

1 使用電阻電容遲滯之電源啟動重置電路

2 使用金屬氧化物半導體臨界電壓之電源啟動重置電路

3 本案較佳實施例之一種電源啟動重置電路

11 電阻電容分壓器

12 比較器

13 接地端

111 分壓器之電阻

112 分壓器之電容

21 電阻金屬氧化物半導體分壓器

22 比較器



圖式簡單說明

23 接地端

211 分壓器之電阻

212 分壓器之金屬氧化物半導體

31 環狀振盪器

32 頻率偵測器

33 比較器電路

34 接地端

311 奇數個串聯之反向器

312 回饋電路

321 電流源

322 第一電容

323 第二電容

324 第一開關

325 第二開關

331 電阻分壓器

332 比較器

3311 第一電阻

3312 第二電阻



六、申請專利範圍

申請專利範圍

1. 一種電源啟動 (power on) 重置電路，包含：

一電源，其中，當該電源啟動時，係用以提供一暫態電壓，該暫態電壓之量值係隨時間而升高；

一振盪器，電連接於該電源，該振盪器係用以產生一振盪信號，其中，該振盪信號之振盪頻率係隨該暫態電壓而增加；

一頻率偵測器，電連接於該電源與該振盪器，該頻率偵測器係用以依據該振盪信號之振盪頻率輸出相對應之一第一輸出電壓；以及

一重置信號輸出電路，用以依據該第一輸出電壓輸出一重置信號。

2. 如申請專利範圍第1項所述之電源啟動重置電路，其中該振盪器係為一環狀振盪器(Ring Oscillator)及一壓控振盪器(Voltage-Controlled Oscillator)兩者之一。

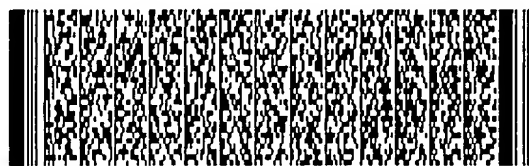
3. 如申請專利範圍第2項所述之電源啟動重置電路，其中該環狀振盪器包含複數個反向器，該些反向器係串聯形成一環狀串接，該些反相器之數目係為一大於一之奇數。

4. 如申請專利範圍第1項所述之電源啟動重置電路，其中該頻率偵測器包含：

一電流源，電連接於該電源；

一第一電容，包含一第一端電連接該電流源之輸出端以及一第二端接地；

一第二電容與該第一電容共地端；



六、申請專利範圍

一 第一開關係電連接該第一電容之第一端與該第二電容之另一端；以及

一 第二開關係與該第二電容並聯連接；

其中，該第一電容之第一端係用以輸出該第一輸出電壓。

5. 如申請專利範圍第4項所述之裝置，其中該第一開關及該第二開關係依據該振盪信號來決定該第一開關及該第二開關之狀態，該第一開關為ON時，該第二開關為OFF，且該第一開關為OFF時，該第二開關為ON。

6. 如申請專利範圍第4項所述之電源啟動重置電路，其中該第一輸出電壓之大小係與該振盪信號之振盪頻率成反比。

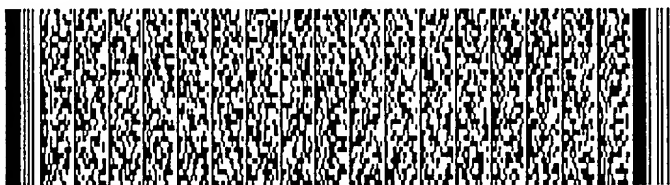
7. 如申請專利範圍第4項所述之電源啟動重置電路，其中該電流源係為一電阻。

8. 如申請專利範圍第1項所述之電源啟動重置電路，其中該電源啟動重置電路係用於重置一數位電路。

9. 如申請專利範圍第1項所述之電源啟動重置電路，其中該重置信號輸出電路係為一比較器電路，與該頻率偵測器耦接，用以依據該第一輸出電壓及一第二輸出電壓輸出相對應之重置信號，其中，當該第一輸出電壓大於該第二輸出電壓時，該重置信號具有一第一位準，當該第一輸出電壓小於該第二輸出電壓時，該重置信號具有一第二位準。

10. 如申請專利範圍第9項所述之電源啟動重置電路，其中該第一位準係為高位準，且該第二位準係為低位準。

11. 如申請專利範圍第9項所述之電源啟動重置電路，其中



六、申請專利範圍

該第二輸出電壓之量值係與該暫態電壓呈一固定比例。

12. 如申請專利範圍第11項所述之電源啟動重置電路，其中該第二輸出電壓係由一分壓器所輸出，該分壓器包括：

一第一電阻，係與該電源耦接；以及

一第二電阻，一端與該第一電阻耦接於一輸出節點，另一端接地；

其中，該輸出節點係用以輸出該第二輸出電壓，且該第二輸出電壓之量值係由該第一電阻及該第二電阻之阻值所決定。

13. 如申請專利範圍第1項所述之電源啟動重置電路，其中該重置信號輸出電路係為一反相器，用以依據該第一輸出電壓輸出該重置信號。

14. 一種電源啟動重置方法係應用一電源啟動重置電路，該電源啟動重置電路包括一振盪器、一頻率偵測器及一比較器，該方法包含下列步驟：

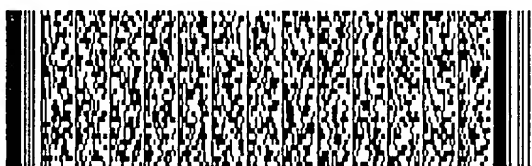
當電源啟動時，提供一暫態電壓，其中該暫態電壓之量值係隨時間而增加；

依據該暫態電壓提供相對應之一振盪信號，其中，該振盪信號之振盪頻率隨該暫態電壓之逐漸升高而隨之升高；

根據該振盪信號輸出相對應之一第一輸出電壓

比較該第一輸出電壓及一第二輸出電壓；以及

依據該第一及第二輸出電壓之比較結果，輸出一重置訊號。



六、申請專利範圍

15. 如申請專利範圍第14項所述之方法，其中該振盪器係為一環狀振盪器(Ring Oscillator)及一壓控振盪器(Voltage-Controlled Oscillator)兩者之一。

16. 如申請專利範圍第15項所述之方法，其中該環狀振盪器包含複數個反向器，該些反向器係串聯形成一環狀串接，該些反相器之數目係為一大於或等於三之奇數。

17. 如申請專利範圍第14項所述之方法，其中該頻率偵測器包含：

- 一電流源，電連接於該電源；

- 一第一電容，包含一第一端電連接該電流源之輸出端以及一第二端接地；

- 一第二電容與該第一電容共地端；

- 一第一開關係電連接該第一電容之第一端與該第二電容之另一端；以及

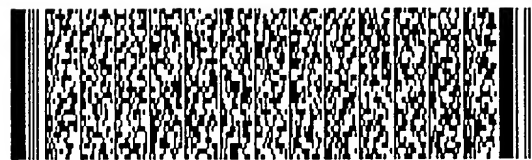
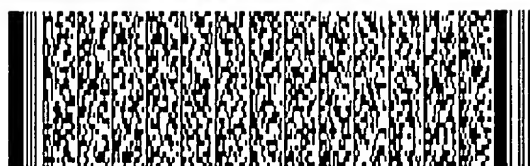
- 一第二開關係與該第二電容並聯連接；

其中，該第一電容之第一端係用以輸出該第一輸出電壓。

18. 如申請專利範圍第17項所述之方法，其中該第一開關及該第二開關係依據該振盪信號來決定該第一開關及該第二開關之狀態，該第一開關為ON時，該第二開關為OFF，且該第一開關為OFF時，該第二開關為ON。

19. 如申請專利範圍第17項所述之方法，其中該第一輸出電壓之大小係與該振盪信號之振盪頻率成反比。

20. 如申請專利範圍第17項所述之方法，其中該電流源係為一電阻。



六、申請專利範圍

21. 如申請專利範圍第14項所述之方法，其中該電源啟動重置電路係用於重置一數位電路。

22. 如申請專利範圍第14項所述之方法，其中該第二輸出電壓之量值係與該暫態電壓呈一固定比例。

23. 如申請專利範圍第22項所述之方法，其中該第二輸出電壓係由一分壓器所輸出，該分壓器包括：

一第一電阻，係與該電源耦接；以及

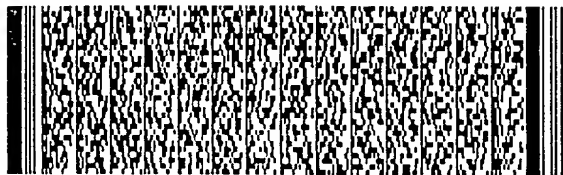
一第二電阻，一端與該第一電阻耦接於一輸出節點，另一端接地；

其中，該輸出節點係用以輸出該第二輸出電壓，且該第二輸出電壓之量值係由該第一電阻及該第二電阻之阻值所決定。

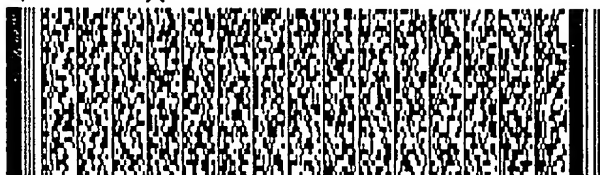
24. 如申請專利範圍第14項所述之方法，其中該比較器可為一反相器，用以依據該第一輸出電壓輸出該重置信號。



第 1/20 頁



第 2/20 頁



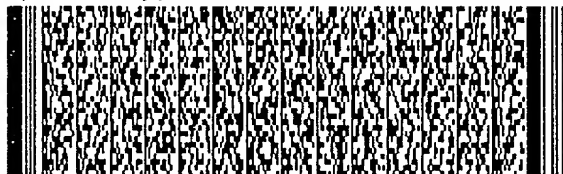
第 3/20 頁



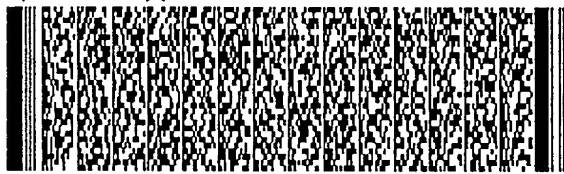
第 4/20 頁



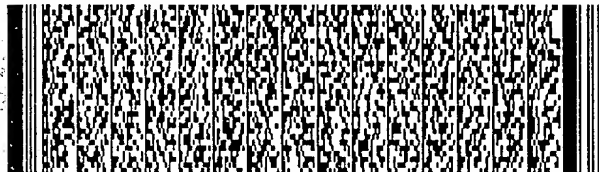
第 5/20 頁



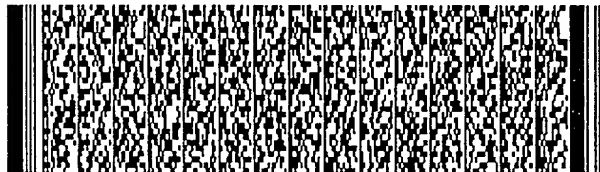
第 5/20 頁



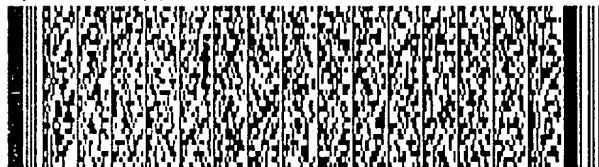
第 6/20 頁



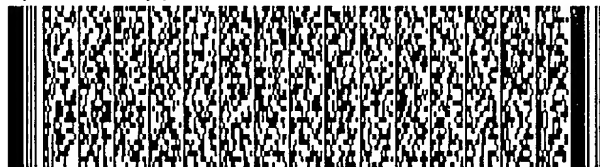
第 6/20 頁



第 7/20 頁



第 7/20 頁



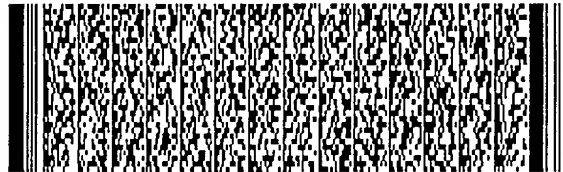
第 8/20 頁



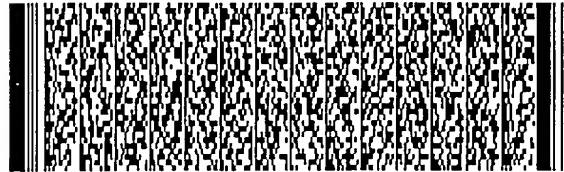
第 8/20 頁



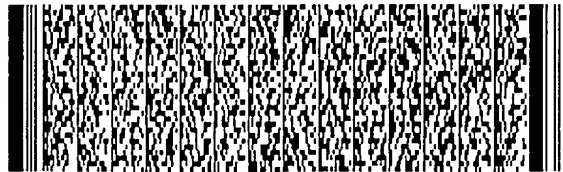
第 9/20 頁



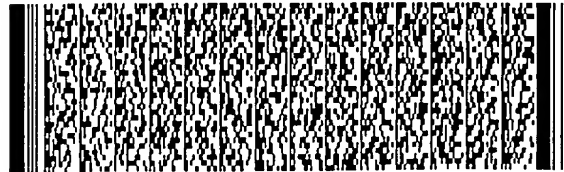
第 9/20 頁



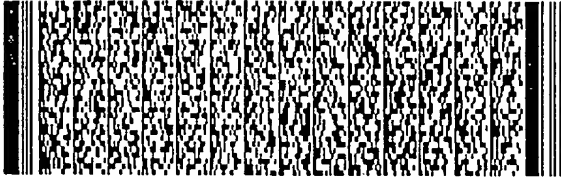
第 10/20 頁



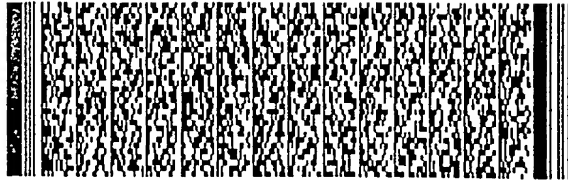
第 10/20 頁



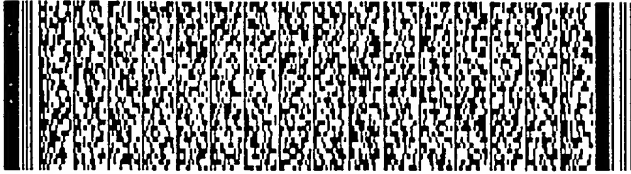
第 11/20 頁



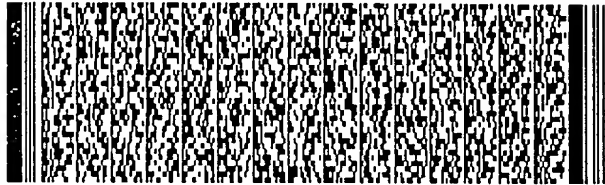
第 11/20 頁



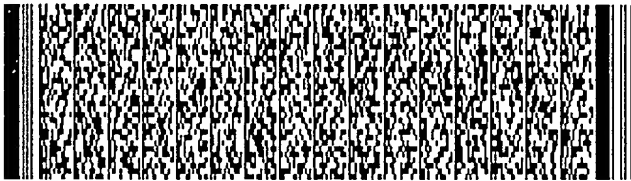
第 12/20 頁



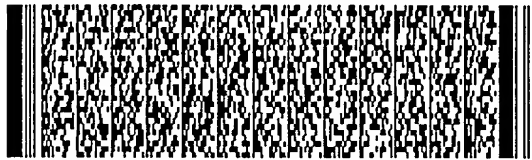
第 12/20 頁



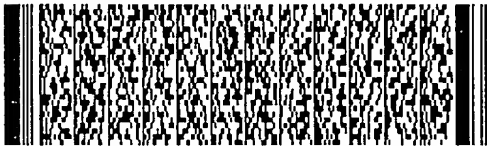
第 13/20 頁



第 14/20 頁



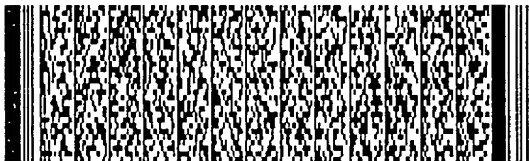
第 15/20 頁



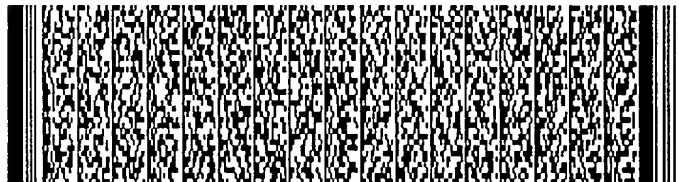
第 16/20 頁



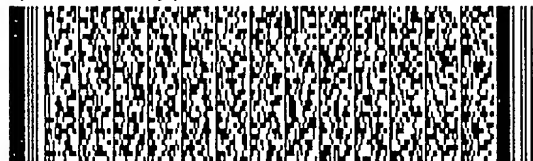
第 16/20 頁



第 17/20 頁



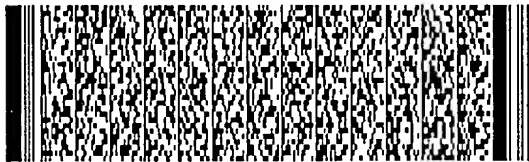
第 18/20 頁



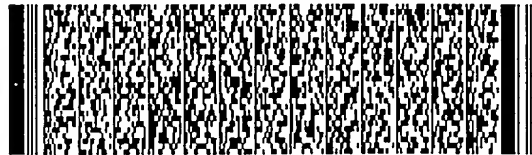
第 18/20 頁



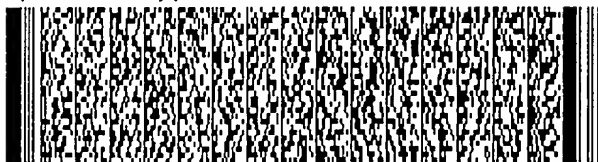
第 19/20 頁

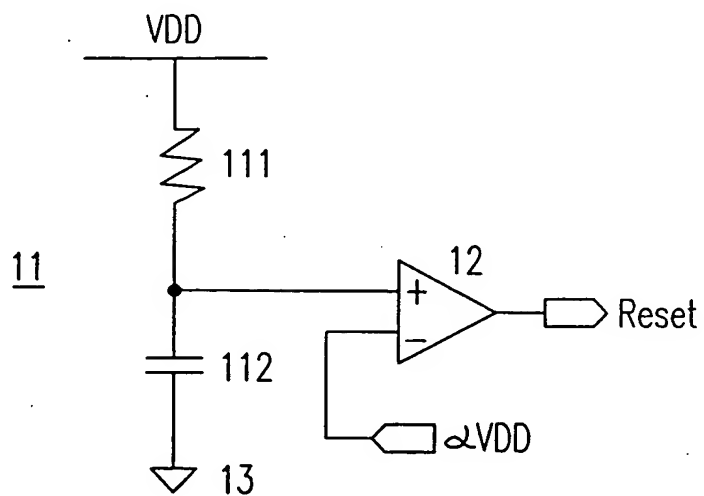


第 19/20 頁

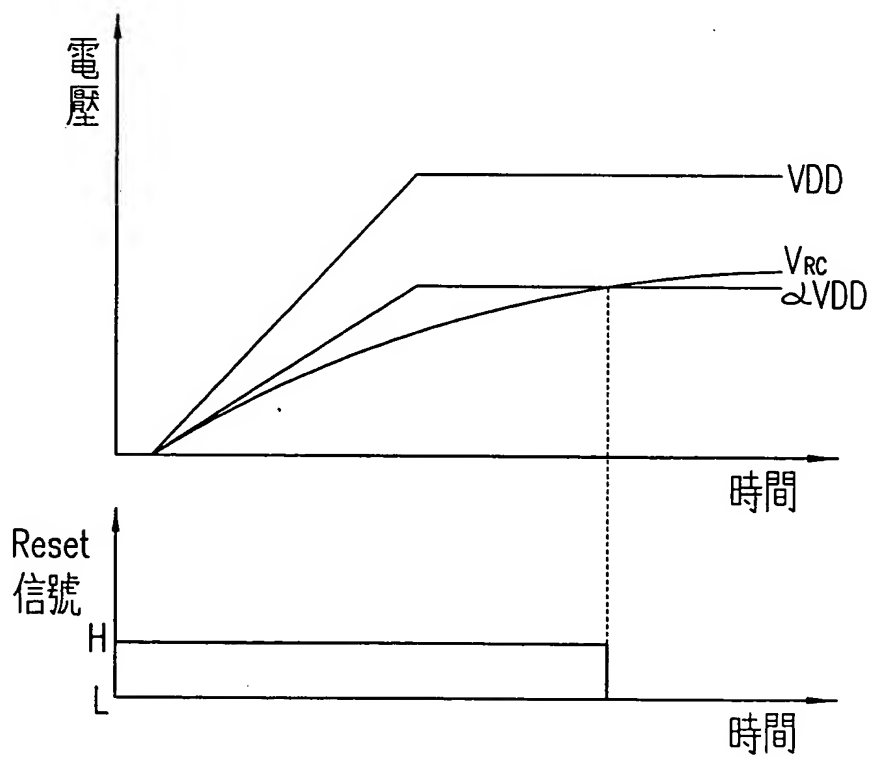


第 20/20 頁

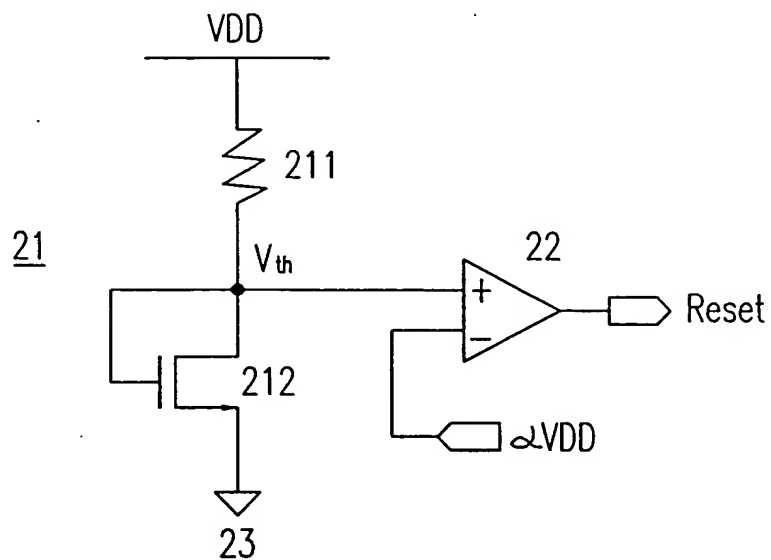




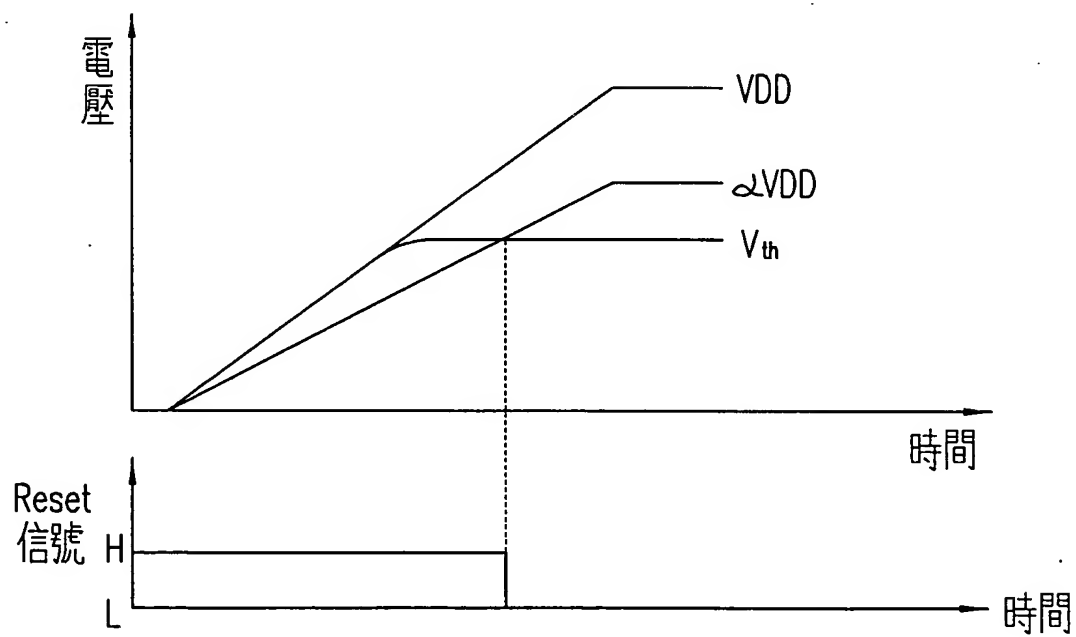
第一圖



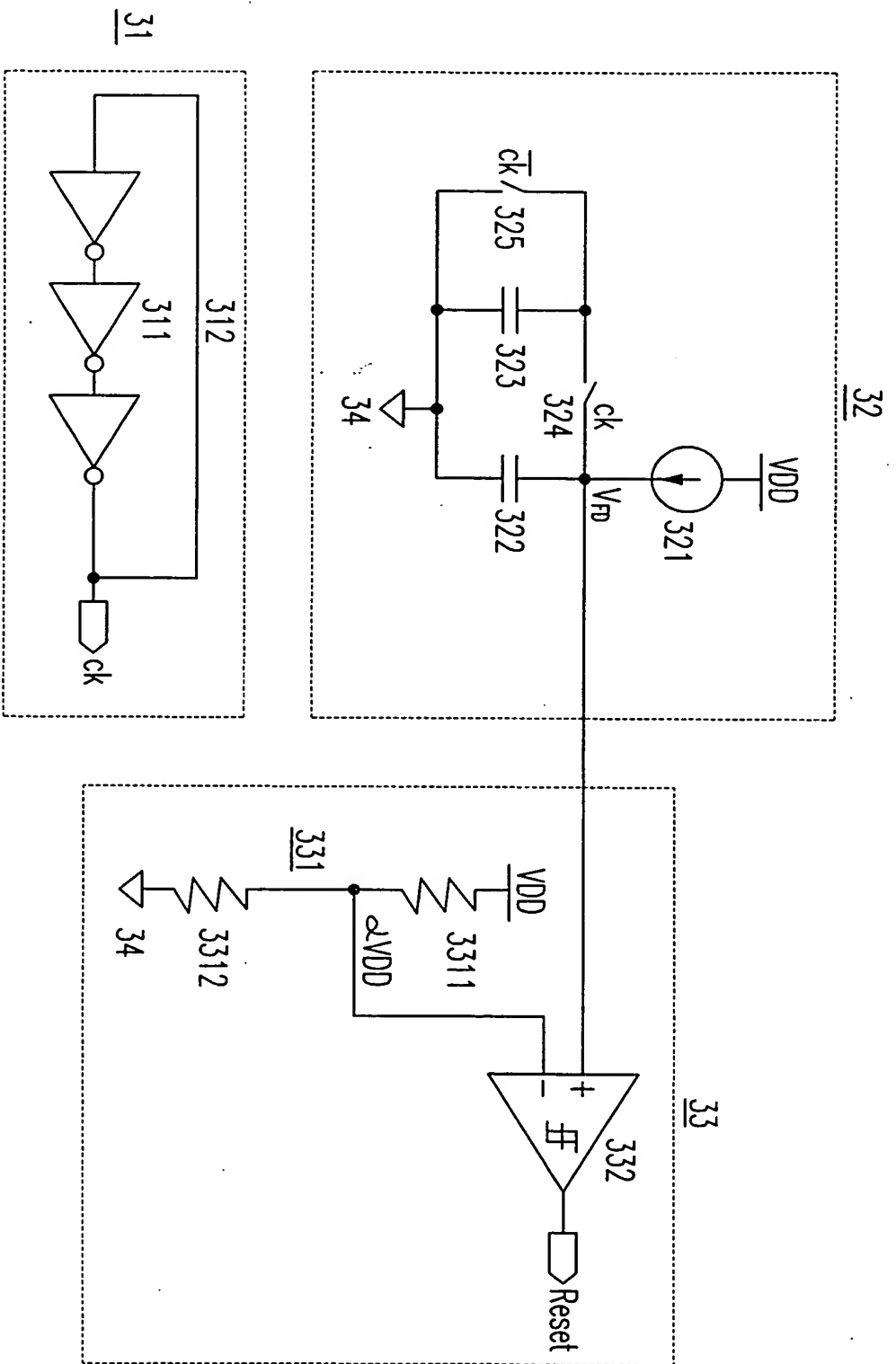
第二圖



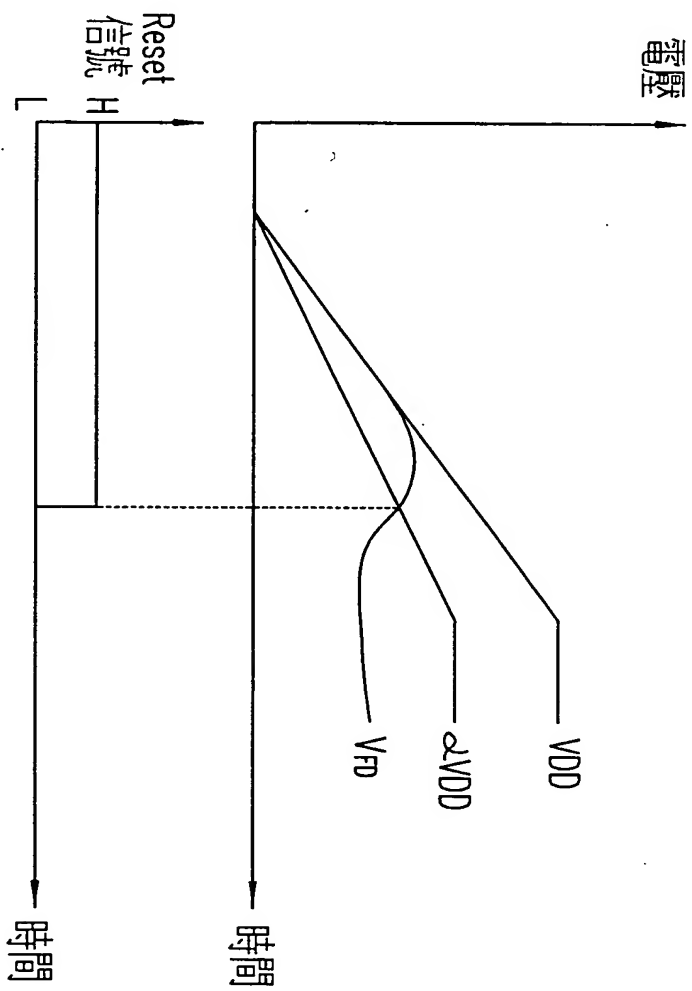
第三圖



第四圖



第五圖



第六圖